

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: SUN HYOUNG LEE, ET AL.)
) Group Art Unit: NYA
FOR: SRAM-COMPATIBLE MEMORY FOR)
CORRECTING INVALID OUTPUT DATA) Examiner: NYA
USING PARITY AND METHOD OF DRIVING)
THE SAME)

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Commissioner:

Enclosed herewith is a certified copy of Korean Patent Application No. 2002-0058342 filed on September 26, 2002. The enclosed Applications are directed to the invention disclosed and claimed in the above-identified application.

Applicants hereby claim the benefit of the filing date of September 26, 2002, of the Korean Patent Application No. 2002-0058342, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

David A. Fox
Reg. No. 38, 807
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
PTO Customer No. 23413

Date: September 10, 2003

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0058342
Application Number

출원년월일 : 2002년 09월 26일
Date of Application SEP 26, 2002

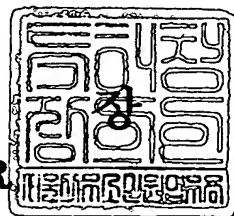
출원인 : (주)실리콘세븐
Applicant(s) SILICON7 INC.



2003 년 07 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.26
【국제특허분류】	G11C
【발명의 명칭】	패러티로서 비유효한 출력 데이터를 보정하는 에스램 호환 메모리와 그 구동방법
【발명의 영문명칭】	SRAM comPatible Memory Device comPensating an outPut data with Parity and OPerating Method thereof
【출원인】	
【명칭】	(주)실리콘세븐
【출원인코드】	1-2000-048635-1
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	2000-060422-7
【발명자】	
【성명의 국문표기】	이선형
【성명의 영문표기】	LEE,Sun Hyoung
【주민등록번호】	691024-1051812
【우편번호】	151-784
【주소】	서울특별시 관악구 신림8동 강남아파트 8동 814호
【국적】	KR
【발명자】	
【성명의 국문표기】	유인선
【성명의 영문표기】	Y00,In Sun
【주민등록번호】	710121-1406418
【우편번호】	467-854
【주소】	경기도 이천시 대월면 사동리 현대전자 사원 아파트 109동 905호
【국적】	KR

【발명자】**【성명의 국문표기】**

신동우

【성명의 영문표기】

SHIN,Dong Woo

【주민등록번호】

641013-1474215

【우편번호】

467-866

【주소】

경기도 이천시 부발읍 아미리 753 현대아파트 707동 1702호

【국적】

KR

【심사청구】

청구

【취지】특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
곽덕영 (인)**【수수료】****【기본출원료】**

20 면 29,000 원

【가산출원료】

7 면 7,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

10 항 429,000 원

【합계】

465,000 원

【감면사유】

소기업 (70%감면)

【감면후 수수료】

139,500 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는 서류[사업자등록증사본, 원천징수이행상황신 고서사본]_1통

【요약서】

【요약】

패러티로서 비유효한 출력 데이터를 보정하는 에스램 호환 메모리와 그 구동방법이
게시된다. 패러티를 이용하여 비유효한 출력 데이터를 보정하는 에스램 호환 메모리와
그 구동방법이 게시된다. 본 발명의 에스램 호환 메모리와 그 구동방법에 의하면, 입력
데이터들과 입력 데이터들로부터 생성된 패러티값을 각각의 데이터 뱅크 및 패러티 뱅크
에 기록한다. 그리고, 상기 패러티 뱅크에 기록된 패러티값을 이용하여, 리프레쉬 동작
의 수행 등의 요인으로 인하여 특정한 뱅크의 출력 데이터가 출력되지 못할 때 그 값이
데이터 보정기에 의해서 보정되어, 입력 데이터와 동일한 논리값을 가지는 출력 데이터
가 발생한다. 따라서, 본 발명의 에스램 호환 메모리에 의하면, 리프레쉬 동작과 데이터
독출이 동시에 수행 가능 하므로 디램 셀을 이용한 에스램 호환 메모리의 가장 큰 문제
점이었던 리프레쉬 등의 내부 동작으로 인한 동작속도 저하를 해결 하였다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

패리티로서 비유효한 출력 데이터를 보정하는 에스램 호환 메모리와 그 구동방법
{SRAM comPatible Memory Device comPensating an outPut data with Parity and OPerating
Method thereof}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일실시예에 따른 에스램 호환 메모리를 개념적으로 설명하기 위한 블록도이다.

도 2는 도 1의 메모리 बैं크 및 패리티 बैं크에 포함되는 메모리 셀을 나타내는 도면이다.

도 3은 도 1의 데이터 보정기를 자세히 나타내는 도면이다.

도 4는 본 발명의 일실시예에 따른 에스램 호환 메모리의 독출 동작을 개념적으로 나타내는 순서도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 디램(DRAM: Dynamic Random Access Memory) 셀(cell)을 가지면서, 에스램(SRAM: Static Random Access Memory)과 호환 가능한 동기식 에스램 호환 메모리 및 그 구동 방법에 관한 것이다.
- <7> 일반적으로, 반도체 메모리 장치 중의 램(RAM: Random Access Memory)은 에스램과 디램으로 분류된다. 통상적인 램은 행과 열로 구성되는 매트릭스 상에 배열되는 다수개의 단위 메모리 셀들을 가지는 메모리 어레이와, 상기 단위 메모리 셀들로/로부터 데이터를 입/출력하도록 제어하는 주변 회로로 구성된다. 에스램에 사용되는 1비트의 정보를 저장하기 위한 단위 메모리 셀은 래치(latch) 구조를 이루는 4개의 트랜지스터와, 전송 게이트로 작용하는 2개의 트랜지스터로 구현된다. 즉, 통상적인 에스램은 래치 구조의 단위 메모리 셀에 데이터를 저장하고 있으므로, 데이터를 보존하기 위한 리프레쉬 동작이 요구되지 않는다. 또한, 에스램은, 디램에 비하여, 동작 속도가 빠르고, 소비 전력이 작다는 장점을 지닌다.
- <8> 그러나, 에스램의 단위 메모리 셀은 6개의 트랜지스터로 구현되어 있으므로, 에스램은 1개의 트랜지스터와 1개의 커패시터로 단위 메모리 셀이 구현되는 디램에 비하여, 소요되는 웨이퍼 면적면에서, 단점을 지닌다. 즉, 동일한 용량의 기억 소자를 제조하기 위하여, 에스램의 웨이퍼 면적은 디램의 웨이퍼 면적의 6배 내지 10배 정도이다. 이와 같은, 에스램의 소요 면적은 에스램의 단가를 상승시킨다. 만약, 비용 절감 등을 위하여

, 에스램을 대신하여 통상적인 디램이 사용되는 경우, 주기적인 리프레쉬 때문에 추가적으로 디램 컨트롤러가 장착되어야 한다. 또한, 디램의 주기적인 리프레쉬 동작을 위한 소요 시간과 느린 동작 속도 때문에 시스템 자체의 전반적인 성능이 하락된다.

<9> 상기와 같은 디램과 에스램의 단점을 극복하고자, 디램 셀을 이용한 에스램을 구현하려는 노력이 계속되고 있다. 이러한 노력 중에서의 하나가 리프레쉬 동작을 외부에서 감추어서, 에스램과 호환되도록 만드는 기술이다.

<10> 상기와 같은 에스램 호환 기술에 따른 독출 액세스 동작에서는, 메모리 어레이의 디램 셀을 리프레쉬하기 시간을 확보하기 위하여, 내부적으로 독출 액세스 구간 내에 별도의 리프레쉬 구간을 확보하든지, 독출 액세스 타이밍을 지연시키든지 하는 방법들이 이용되고 있다.

<11> 그러나, 이와 같은 종래의 에스램 호환 메모리에서는, 내부적으로 독출을 위한 액세스 타이밍이 지연되고, 이로 인하여, 전체적으로 독출 동작 속도가 저하되는 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 상기 종래기술의 문제점을 해결하기 위한 것으로서, 디램 셀을 이용하면서도 에스램 호환이 가능한 에스램 호환 메모리 및 그 구동방법으로서, 리프레쉬 동작으로 인한 동작 속도의 저하가 방지되는 에스램 호환 메모리 및 그 구동방법을 제공하는 것이다.

【발명의 구성 및 작용】

<13> 상기와 같은 기술적 과제를 해결하기 위한 본 발명의 일면은 에스램 호환 메모리에 관한 것이다. 본 발명의 에스램 호환 메모리는 행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 각각 포함하는 다수개의 메모리 뱅크들을 가진다. 그리고, 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되되, 외부적으로 상기 리프레쉬의 수행을 위한 별도의 동작 타이밍 구간이 설정되지 않는 외부 시스템과 인터페이싱될 수 있다. 본 발명의 에스램 호환 메모리는 특정 시점에서 제공되는 각자의 입력 데이터를 각자의 특정되는 디램 셀에 기록하는 상기 다수개의 메모리 뱅크들; 상기 입력 패러티들로부터 소정의 입력 패러티를 발생시키는 패러티 발생기로서, 상기 입력 패러티는 상기 입력 데이터들과 함께 소정의 설정 패러티값을 가지는 상기 패러티 발생기; 상기 입력 패러티를 기록하는 패러티 뱅크; 및 상기 설정 패러티값과 상이한 확인 패러티값에 대하여, 비유효하게 독출 액세스되는 상기 메모리 뱅크로부터 인출되는 인출 데이터를 보정하는 데이터 보정기를 구비한다. 그리고, 상기 확인 패러티는 상기 다수개의 메모리 뱅크들로부터 인출되는 상기 인출 데이터들과 상기 패러티 뱅크로부터 인출되는 패러티 데이터에 대한 패러티이다.

<14> 상기와 같은 다른 기술적 과제를 해결하기 위한 본 발명의 일면은 상기와 같은 에스램 호환 메모리의 구동 방법에 관한 것이다. 본 발명의 에스램 호환 메모리의 구동 방법은 (A) 수신되는 복수개의 입력 데이터들을 각각에 대응하는 상기 메모리 뱅크에 제공하고, 상기 입력 데이터들과 함께 소정의 설정 패러티값을 나타내는 입력 패러티를 구하는 단계; (B) 상기 입력 데이터가 각각에 대응하는 상기 메모리 뱅크의 디램 셀에 기록

하고, 상기 입력 패러티를 소정의 패러티 뱅크의 디램셀에 기록하는 단계; (C) 독출 명령에 응답하여, 상기 다수개의 메모리 뱅크들로부터 데이터를 인출하되, 비유효하게 독출 액세스되는 상기 메모리 뱅크로부터 인출되는 상기 데이터에 대해서는 비유효한 데이터임을 나타내는 정보를 함께 제공하는 단계; 및 (D) 상기 설정 패러티값과 상이한 확인 패러티값에 대하여, 상기 비유효하게 독출 액세스되는 메모리 뱅크로부터 인출되는 데이터를 보정하는 단계로서, 상기 확인 패러티값은 상기 다수개의 메모리 뱅크들로부터 인출되는 상기 인출 데이터들과 상기 패러티 뱅크로부터 인출되는 패러티 데이터에 대한 패러티인 상기 보정하는 단계를 구비한다.

<15> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<16> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<17> 본 발명의 에스램 호환 메모리는 내부적으로 디램 셀을 채용하고 리프레쉬 동작이 수행되지만, 외부적으로는 통상의 에스램과 마찬가지로 리프레쉬를 위한 동작구간이 할당되지 않는다. 또한, 본 발명의 에스램 호환 메모리는 리프레쉬 동작을 제어하기 위한 별도의 제어신호가 외부에서 요구되지 않으며, 외부적으로는 통상적인 에스램과 동일한 규칙에 의하여 구동될 수 있다.

<18> 본 발명의 에스램 호환 메모리는 다수개의 데이터들을 동시에 입력하여 각자의 메모리 뱅크에 저장할 수 있으며, 또한 상기 입력되는 데이터를 동시에 출력할 수 있는 멀

터 입출력 구조를 가진다. 본 명세서에서는, 외부 또는 타의 시스템으로부터 본 발명의 에스램 호환 메모리로 제공되는 데이터를 '입력 데이터'라 칭하며, 본 발명의 에스램 호환 메모리로부터 외부 또는 타의 시스템으로 제공되는 데이터를 '출력 데이터'라 칭한다.

<19> 도 1은 본 발명의 일실시예에 따른 에스램 호환 메모리를 개념적으로 설명하기 위한 블록도이다. 본 실시예의 에스램 호환 메모리에서는, 8개의 입력 데이터가 동시에 수신될 수 있으며, 8개의 데이터가 동시에 출력될 수 있다.

<20> 도 1을 참조하면, 본 실시예에 따른 에스램 호환 메모리는 8개의 메모리 뱅크들(10_i, i=0~7), 패러티 뱅크(12) 및 데이터 보정기(14)를 포함하여 구현된다. 또한, 본 실시예에 따른 에스램 호환 메모리는 기입 제어 회로(16), 독출 제어 회로(18), 패러티 발생기(20), 리프레쉬 어드레스 발생기(22), 플래그 발생기(24) 및 리프레쉬 타이머(26)를 포함한다.

<21> 상기 8개의 메모리 뱅크들(10_i, i=0~7) 및 패러티 뱅크(12) 각각은 행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 메모리 셀(11)들을 포함한다. 바람직하기로는, 상기 8개의 메모리 뱅크들(10_i, i=0~7) 및 패러티 뱅크(12) 각각은 동일한 구성 즉, 용량과 구조를 가진다. 상기 메모리 셀(11)은 저장된 데이터를 보존하기 위하여, 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되는 셀이다. 상기 메모리 셀(11)의 대표적인 예는 '디램 셀'이다. 따라서, 본 명세서에서는, 상기 메모리 셀(11)은 '디램 셀'로 불릴 수 있다. 상기 디램 셀은, 도 2에 도시된 바와 같이, 워드라인(WL)에 의하여 게이트되는 전송트랜지스터(11a)와, 전송트랜지스터(11a)를 통하여 전송되는 비트라인(BL)의 데이터를 저장하는 커패시터(11b)로 구현된다.

- <22> 다시 도 1을 참조하면, 상기 8개의 입력 데이터들(DIN0~DIN7)은 각각의 대응되는 메모리 뱅크들(10_i, i=0~7)에 제공된다. 8개의 메모리 뱅크들(10_i, i=0~7)은 입력 제어 신호(WCON)에 응답하여, 각각의 입력 데이터들(DIN0~DIN7)을 내부 어드레스 신호(AIN)들에 의하여 특정되는 디램셀(11)에 기록한다. 그리고, 전술한 바와 같이, 상기 디램셀(11)에 기록된 데이터를 유효하게 저장하기 위해서는 리프레쉬의 수행이 요구된다. 상기 8개의 메모리 뱅크들(10_i, i=0~7)에서 특정되는 디램셀들은 모두 동일한 어드레스에 의하여 특정되며, 단지, 입력 데이터들(DIN0~DIN7)에 각각 대응하는 메모리 뱅크가 상이하다.
- <23> 그리고, 상기 메모리 뱅크들(10_i, i=0~7)은 각자에 대응되는 상기 입력 데이터들(DIN0~DIN7)이 독립적으로 기록된다. 또한, 상기 메모리 뱅크들(10_i, i=0~7)은 독립적으로 독출 액세스가 진행된다.
- <24> 패러티 뱅크(12)는 입력 제어 신호(WCON)에 응답하여, 패러티 발생기(20)로부터 제공되는 입력 패러티(DINP)를 특정되는 자신의 디램셀에 기록한다. 그리고, 상기 패러티 뱅크(12)의 디램셀도, 기록된 데이터를 유효하게 저장하기 위해서는 리프레쉬의 수행이 요구된다. 이때, 상기 입력 패러티(DINP)를 저장하기 위하여 특정되는 디램셀은 상기 8개의 메모리 뱅크들(10_i, i=0~7)에서 특정되는 디램셀들과 동일한 내부 어드레스 신호(AIN)에 의하여 특정된다.
- <25> 상기 메모리 뱅크들(10_i, i=0~7)과 상기 패러티 뱅크(12)는 플래그 발생기(24)로부터 제공되는 각각의 리프레쉬 플래그 신호(RFLAi, i=0~7,P)에 응답하여, 리프레쉬 동작 상태에 진입한다. 그리고, 리프레쉬 동작 상태에 진입하는 상기 메모리 뱅크들(10_i,

$i=0\sim7$)과 상기 패러티 뱅크(12)는, 리프레쉬 어드레스 발생기(22)로부터 제공되는 리프레쉬 어드레스 신호(ARF)에 의하여 특정되는 디램셀들을 리프레쉬한다.

<26> 한편, 상기 기입 제어회로(16)는 기입 명령(WRCMD)을 수신하여, 상기 기입 제어신호(WCON)를 발생한다.

<27> 상기 패러티 발생기(10)는 상기 입력 데이터들(DIN0~DIN7)을 수신하며, 상기 입력 패러티(DINP)를 제공한다. 한편, 상기 입력 패러티(DINP)는 상기 입력 데이터들(DIN0~DIN7)과 함께 소정의 설정 패러티값을 가진다. 예를 들어, "0(짝수)"으로 설정 패러티값이 설정된 경우, "1"의 값을 가지는 입력 데이터(DIN0~DIN7)의 갯수가 홀수개이면, 상기 입력 패러티(DINP)는 "1"이다. 그리고, "1"의 값을 가지는 입력 데이터(DIN0~DIN7)의 갯수가 짝수개이면, 상기 입력 패러티(DINP)는 "0"이다. 그리고, "1(홀수)"로 설정 패러티값이 설정되는 경우는, 앞의 경우와 반대의 결과가 됨은 당업자에게는 자명하다.

<28> 리프레쉬 타이머(26)는 일정한 주기 즉, 리프레쉬 주기마다 활성화되는 리프레쉬 요구신호(REFREQ)를 발생한다. 플래그 발생기(24)는 상기 리프레쉬 요구신호(REFREQ)에 응답하여, 활성화되는 리프레쉬 구동신호(RFDR)를 발생한다. 또한, 상기 플래그 발생기(24)는 상기 리프레쉬 요구신호(REFREQ)에 응답하여, 순환적으로 활성화되는 9개의 리프레쉬 플래그 신호(RFLAi, $i=0\sim7, P$)를 발생한다. 상기 리프레쉬 어드레스 발생기(22)는 상기 리프레쉬 구동신호(RFDR)의 매9번째 활성화에 응답하여, 지정되는 어드레스가 변하는 리프레쉬 어드레스 신호(ARF)를 상기 8개의 메모리 뱅크들(10_i, $i=0\sim7$)과 패러티 뱅크(12)에 제공한다.

- <29> 그러므로, 본 실시예에서는, 8개의 메모리 뱅크들(10_i, i=0~7)과 패러티 뱅크(12)에서 동일한 어드레스의 워드라인에 접속되는 디램셀들이 순차적으로 리프레쉬되며, 매9번째의 상기 리프레쉬 구동신호(RFDR)에 의하여 리프레쉬되는 워드라인을 특정하는 리프레쉬 어드레스 신호(ARF)가 변화한다.
- <30> 그러므로, 상기 메모리 뱅크들(10_i, i=0~7)과 상기 패러티 뱅크(12)는 순차적으로 리프레쉬를 수행한다. 그러므로, 2개의 뱅크에서 동시에 리프레쉬가 진행되는 경우는 발생하지 않는다.
- <31> 그리고, 본 실시예의 변형에 따르면, 하나의 메모리 뱅크에서의 워드라인에 접속되는 모든 디램셀들에 대하여, 리프레쉬를 수행한 후에, 다른 메모리 뱅크의 워드라인에 접속되는 디램셀에 대한 리프레쉬를 수행하도록 설계될 수 있다. 이와 같은 본 실시예의 변형 실시예의 구현은 당업자에게는 자명하므로, 본 명세서에서는 그에 대한 자세한 기술은 생략된다.
- <32> 상기 메모리 뱅크들(10_i, i=0~7)은 독출 제어 신호(RCON)에 응답하여, 상기 내부 어드레스 신호(AIN)에 의하여 특정되는 디램셀로부터 인출되는 데이터(DQ_i, i=0~7)(본 명세서에서는, '인출 데이터'라 칭함)를 데이터 보정기(14)로 제공한다. 그리고, 상기 패러티 뱅크(12)도 상기 독출 제어 신호(RCON)에 응답하여, 상기 내부 어드레스 신호(AIN)에 의하여 특정되는 디램셀로부터 인출되는 데이터(DQP)(본 명세서에서는, '패러티 데이터'라 칭함)를 데이터 보정기(14)로 제공한다.
- <33> 한편, 상기 메모리 뱅크들(10_i, i=0~7)은 각각의 뱅크 정보 신호(BNKSTi, i=0~7)를 발생한다. 그리고, 상기 패러티 뱅크(12)는 패러티 정보 신호(BNKSTP)를 발생한다. 본 실시예에서, 리프레쉬 동작 중에 독출 명령이 발생하여 디램셀에 저장된 데이터를 독

출하지 못한 경우, 입력 데이터가 디램셀에 기록되기 전에 상기 디램셀을 특정하는 독출 명령이 발생하는 경우 동일 때, 상기 बैं크 정보 신호(BNKSTi, i=0~7) 및 패리티 정보 신호(BNKSTP)는 자신의 메모리 बैं크에 대한 독출 액세스가 비유효함을 나타낸다.

<34> 즉, 본 실시예에서는, 비유효하게 독출 액세스되는 메모리 बैं크(10_i, i=0~7)로부터 제공되는 상기 बैं크 정보 신호(BNKSTi, i=0~7), 논리 "1"로 된다. 그리고, 패리티 बैं크(12)에서 특정되는 디램셀에서 인출 패리티(DINP)가 비유효하게 독출 액세스되는 경우에, 패리티 정보 신호(BNKSTP)는 논리 "1"로 된다.

<35> 상기 데이터 보정기(14)는 상기 메모리 बैं크들(10_i, i=0~7)과 상기 패리티 बैं크(12)로부터 제공되는 인출 데이터(DQi, i=0~7)와 패리티 데이터(DQP)를 수신하여, 확인 패리티를 구한다. 본 명세서에서, 상기 확인 패리티는 논리 "1"을 가지는 상기 인출 데이터(DQi, i=0~7)와 상기 패리티 데이터(DQP)의 수의 합이 홀수 인지 짝수인지를 나타낸다.

<36> 또한, 상기 데이터 보정기(14)는 बैं크 정보 신호(BNKSTi, i=0~7) 및 패리티 정보 신호(BNKSTP)를 수신하여, 비유효한 데이터를 인출하는 상기 메모리 बैं크들(10_i, i=0~7) 또는 상기 패리티 बैं크(12)를 인식할 수 있다.

<37> 상기 데이터 보정기(14)는, 상기 확인 패리티가 설정 패리티와 상이한 경우, 비유효하게 독출 액세스되는 메모리 बैं크로부터 인출되는 인출 데이터를 보정한다.

<38> 그리고, 독출 제어 회로(18)는 외부로부터의 독출 명령(RDCMD)를 수신하며, 독출 제어신호(RCON)를 상기 메모리 बैं크들(10_i, i=0~7) 및 상기 패리티 बैं크(12)로 제공하여, 데이터의 독출을 제어한다.

- <39> 도 3은 도 1의 데이터 보정기(14)를 자세히 나타내는 도면이다. 도 3을 참조하면, 상기 데이터 보정기(14)는 뱅크 데이터 조절부(310), 패러티 데이터 조절부(320), 판별부(330) 및 선택부(340)를 포함한다. 상기 뱅크 데이터 조절부(310)는 구체적으로 8개의 제1 논리 수단들(310_i, i=0~7)을 포함하여 구현된다. 상기 제1 논리 수단들(310_i, i=0~7)은 각자에 대응하는 메모리 뱅크들(10_i, i=0~7)로부터 제공되는 각자의 뱅크 정보 신호(BNKSTi, i=0~7)의 반전신호와 각각의 인출 데이터(DQi, i=0~7)를 논리곱 연산하여 뱅크 제어 데이터들(BDATi, i=0~7)로서 제공한다.
- <40> 즉, 리프레쉬 동작의 수행으로 인하여 비유효하게 데이터를 인출하는 메모리 뱅크를 제외한 나머지 메모리 뱅크로부터 인출되는 뱅크 제어 데이터(BDATi, i=0~7)은 각각의 인출 데이터(DQi, i=0~7)와 동일한 논리값을 가진다. 그러나, 상기 비유효하게 데이터를 인출하는 메모리 뱅크에 대응하는 뱅크 제어 데이터(BDATi, i=0~7)는 인출 데이터(DQi, i=0~7)에 관계없이 항상 '0'의 논리값(본 명세서에서는, '제1 논리값'이라 할 수 있음)을 가진다.
- <41> 상기 패러티 데이터 조절부(320)는 상기 패러티 뱅크(12)로부터 인출되는 패러티 데이터(DQP)를 수신하여, 상기 패러티 데이터(DQP)에 상응하는 패러티 제어 데이터(BDATP)를 제공한다. 상기 패러티 데이터 조절부(320)는 구체적으로 제2 논리 수단들(320)을 포함하여 구현된다. 상기 제2 논리 수단(320)은 상기 패러티 뱅크(12)로부터 제공되는 패러티 정보 신호(BNKSTP)의 반전신호와 패러티 데이터(DQP)를 논리곱 연산하여 패러티 제어 데이터(BDATP)로서 제공한다.
- <42> 그러므로, 만약, 패러티 뱅크(12)가 리프레쉬의 수행 등으로 유효한 데이터를 제공하지 못한다면, 상기 패러티 데이터(DQP)의 논리값에 관계없이, 상기 패러티 제어 데이

터(BDTP)는 논리 "0"이 된다. 그러나, 입력 패리티(DINP)가 유효하게 인출되면, 상기 패리티 제어 데이터(BDTP)는 상기 패리티 데이터(DQP)와 동일한 논리값을 가진다.

<43> 상기 판별부(330)는 상기 뱅크 제어 데이터들(BDAT_i, i=0~7) 및 상기 패리티 제어 데이터(BDTP)에서의 "1"의 논리값을 가지는 데이터의 수에 대응하는 논리값을 가지는 판별 데이터(DDAT)를 제공한다. 즉, 상기 판별 데이터(DDAT)는 상기 뱅크 제어 데이터(BDAT_i, i=0~7)와 상기 패리티 제어 데이터(BDTP)에서의 패리티(본 명세서에서는, '확인 패리티'라 칭할 수 있음)가 상기 설정 데이터와 상이할 때, "1"의 논리값(본 명세서에서는 '제2 논리값'이라 칭할 수 있음)을 가진다.

<44> 그리고, 상기 판별 데이터(DDAT)는 선택부(340)로 제공된다. 상기 선택부(340)는 다수개의 믹스들(340_i, i=0~7)로 구현된다. 상기 믹스들(340_i, i=0~7) 각각은 제1 입력으로는 각각의 뱅크 제어 데이터들(BDAT_i, i=0~7)을 입력하며, 제2 입력으로는 상기 판별 데이터(DDAT)를 입력한다. 그리고, 상기 믹스들(340_i, i=0~7)은 각각의 뱅크 정보 신호(BNKST_i, i=0~7)에 응답하여, 각각의 뱅크 제어 데이터(BDAT_i, i=0~7)와 상기 판별 데이터(DDAT) 중의 어느 하나를 각각의 출력 데이터들(DOUT_i, i=0~7)로서 제공한다. 즉, 비유효한 인출 데이터를 제공하는 메모리 뱅크(10_i, i=0~7)에 대응하는 믹스(340_i, i=0~7)는 상기 판별 데이터(DDAT)를 출력 데이터들(DOUT_i, i=0~7)로서 제공한다. 그리고, 인출 데이터를 유효하게 제공하는 메모리 뱅크(10_i, i=0~7)에 대응하는 믹스(340_i, i=0~7)는 각자의 뱅크 제어 데이터(BDAT_i, i=0~7)를 출력 데이터들(DOUT_i, i=0~7)로서 제공한다.

<45> 도 4는 본 발명의 일실시예에 따른 에스램 호환 메모리의 독출 동작을 개념적으로 나타내는 순서도이다. 도 4를 참조하면, 먼저 독출 명령(RDCMD)이 발생하면(S401), 각

메모리 뱅크(10_i, i=0~7)의 특정되는 디램셀에 기록된 데이터들이 인출 데이터(DIN_i, i=0~7)로 인출되며, 패러티 뱅크(12)의 특정되는 디램셀에서는 패러티 데이터(DINP)로 인출된다(S403). 그리고, 각 인출 데이터(DIN_i, i=0~7) 및 패러티 데이터(DINP)는 각각 뱅크 제어 데이터(BDAT_i, i=0~7) 및 패러티 제어 데이터(BDATP)로 발생된다(S405). 이때, 디램셀로부터 유효하게 데이터를 인출하지 못하는 메모리 뱅크(10_i, i=0~7)의 뱅크 제어 데이터(BDAT_i, i=0~7)는 논리 "0"으로 된다.

<46> 그리고, 각 인출 데이터(DIN_i, i=0~7) 및 패러티 데이터(DINP)를 이용하여 확인 패러티 및 판별 데이터(DDAT)를 구한다(S407). 그리고, 해당 메모리 뱅크(10_i, i=0~7)의 인출 데이터가 특정되는 디램셀로부터 유효하게 제공되는가를 판단한다(S409). 만약, 유효하게 제공하지 못한다면, 상기 확인 패러티가 상기 설정 패러티와 상이한가를 판단한다(S411). 만약, 상기 확인 패러티가 상기 설정 패러티와 상이하다면, 상기 판별 데이터(DDAT)를 상기 해당 메모리 뱅크(10_i, i=0~7)의 출력 데이터(DOUT_i, i=0~7)로 발생한다.

<47> 그러나, 해당 메모리 뱅크(10_i, i=0~7)의 디램셀로부터 유효하게 데이터가 인출되거나, 상기 확인 패러티가 상기 설정 패러티와 동일한 경우에는, 상기 뱅크 제어 데이터(BDAT_i, i=0~7)를 해당 메모리 뱅크(10_i, i=0~7)의 출력 데이터(DOUT_i, i=0~7)로 발생한다.

<48> 계속하여, 본 발명의 에스램 호환 메모리의 작용이 구체적인 예를 이용하여 기술된다. 본 실시예에서는, 설정 패러티 값을 "0(짝수)"으로 가정한다. 그리고, 입력 데이터들(DIN₀~DIN₇)은 각각 다음의 [표1]과 같은 논리값을 가지는 것으로 가정한다.

<49> [표1]

<50> 입력 데이터	DIN0	DIN1	DIN2	DIN3	DIN4	DIN5	DIN6	DIN7
논리값	1	1	1	0	0	0	0	0

<51> 그러면, 본 실시예에서, "1"의 값을 가지는 입력 데이터(DIN0~DIN7)의 갯수가 3개
이므로, 상기 입력 패러티(DINP)는 "1"이 된다. 그리고, 상기 입력 패러티(DINP)는 상기
패러티 뱅크(12)의 특정되는 디램셀에 기록된다.

<52> 또한, 상기 입력 데이터들(DIN0~DIN7)이 각각의 메모리 뱅크들(10_i, i=0~7)에 제
공되고, 첫번째의 메모리 뱅크(10_0)에 포함되는 디램셀에 대하여 리프레쉬가 수행되고
있을 때, 독출 명령이 발생하는 것으로 한다.

<53> 따라서, 상기 인출 데이터들(DQ1~DQ7)은 각각 메모리 뱅크들(10_i, i=1~7)에서 내
부 어드레스 신호(AIN)에 의하여 특정되는 디램셀로부터 인출되지만, 인출 데이터(DQ0)
는 메모리 뱅크(10_0)의 디램셀로부터의 독출은 수행되지 않는다. 그러므로, 각 메모리
뱅크(10_i, i=0~7)의 상기 특정되는 디램셀로부터 인출되는 인출 데이터(DQ_i, i=0~7)와
패러티 데이터(DQP)는 각각 다음의 [표2]과 같은 논리값을 가진다.

<54> [표2]

<55> 데이터	DQ0	DQ1	DQ2	DQ3	DQ4	DQ5	DQ6	DQ7	DQP
논리값	비유효	1	1	0	0	0	0	0	1

<56> 이때, 각 메모리 뱅크(10_i, i=0~7)의 뱅크 정보 신호(BNKSTi, i=0~7)와 패러티 뱅
크(12)의 패러티 정보 신호(BNKSTP)는 각각 다음의 [표3]과 같은 논리값을 가진다.

<57> [표3]

<58>

정보신호	BNKST0	BNKST1	BNKST2	BNKST3	BNKST4	BNKST5	BNKST6	BNKST7	BNKSTP
논리값	1	0	0	0	0	0	0	0	0

<59> 따라서, 각 메모리 뱅크(10_i, i=0~7)에 대응하는 뱅크 제어 데이터(BDAT_i, i=0~7)와 패리티 뱅크(12)에 대응하는 패리티 제어 데이터(BDATP)는 각각 [표4]과 같은 논리값을 가진다.

<60> [표4]

<61>

제어데이터	BDAT0	BDAT1	BDAT2	BDAT3	BDAT4	BDAT5	BDAT6	BDAT7	BDATP
논리값	0	1	1	0	0	0	0	0	1

<62> 그러므로, 뱅크 제어 데이터(BDAT_i, i=0~7)와 패리티 제어 데이터(BDATP)에서, "1"의 논리값을 가지는 데이터의 패리티(본 명세서에서는, '확인 패리티'라 칭함)는 "1"이다. 그러므로, 확인 패리티는 '0'의 값을 가지는 설정 패리티와 서로 상이하게 된다. 따라서, 상기 판별부(330)로부터 제공되는 판별 데이터(DDAT)는 "1"의 논리값을 가진다.

<63> 따라서, 각 메모리 뱅크(10_i, i=0~7)에 대응하는 출력 데이터(DOUT_i, i=0~7)는 각각 [표5]과 같은 논리값을 가진다.

<64> [표5]

<65>

출력데이터	DOUT0	DOUT1	DOUT2	DOUT3	DOUT4	DOUT5	DOUT6	DOUT7
논리값	1	1	1	0	0	0	0	0

<66> 그러므로, 상기 출력 데이터(DOUT_i, i=0~7)는 상기 입력 데이터(DIN_i, i=0~7)와 동일한 논리값을 가짐을 알 수 있다.

<67> 한편, 패러티 뱅크(12)에서 리프레쉬 동작이 수행되는 경우에는, 메모리 뱅크 (10_i, i=0~7)에서는 인출 데이터들(DQ_i, i=0~7)이 모두 유효하게 인출되므로 '확인 패러티'에 관계없이 뱅크 제어 데이터(BDAT_i, i=0~7)가 출력 데이터(DOUT_i, i=0~7)로 제공 된다.

<68> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<69> 상기와 같은 본 발명의 에스램 호환 메모리에 의하면, 입력 데이터들에 대한 패러티값을 패러티 뱅크에 기록한다. 그리고, 상기 패러티 뱅크에 기록된 패러티값을 이용하여, 비유효하게 인출되는 인출 데이터가 유효하게 보정된다. 즉, 리프레쉬 동작의 수행 등의 요인으로 인하여 유효하게 인출되지 못하는 메모리 뱅크가 존재하더라도, 비유효한 인출 데이터가 데이터 보정기에서의 보정되어, 입력 데이터와 동일한 논리값을 가지는 출력 데이터가 발생한다. 따라서, 본 발명의 에스램 호환 메모리에 의하면, 리프레쉬 동작으로 인한 독출 동작 속도의 저하가 방지된다.

【특허청구범위】**【청구항 1】**

행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 각각 포함하는 다수개의 메모리 뱅크들을 가지는 에스램 호환 메모리로서, 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되되, 외부적으로 상기 리프레쉬의 수행을 위한 별도의 동작 타이밍 구간이 설정되지 않는 외부 시스템과 인터페이싱될 수 있는 상기 에스램 호환 메모리에 있어서,

특정 시점에서 제공되는 각자의 입력 데이터를 각자의 특정되는 디램 셀에 기록하는 상기 다수개의 메모리 뱅크들;

상기 입력 데이터들로부터 소정의 입력 패러티를 발생시키는 패러티 발생기로서, 상기 입력 패러티는 상기 입력 데이터들과 함께 소정의 설정 패러티값을 가지는 상기 패러티 발생기;

상기 입력 패러티를 기록하는 패러티 뱅크; 및

상기 설정 패러티값과 상이한 확인 패러티값에 대하여, 비유효하게 독출 액세스되는 상기 메모리 뱅크로부터 인출되는 인출 데이터를 보정하는 데이터 보정기로서, 상기 확인 패러티는 상기 다수개의 메모리 뱅크들로부터 인출되는 상기 인출 데이터들과 상기 패러티 뱅크로부터 인출되는 패러티 데이터에 대한 패러티인 상기 데이터 보정기를 구비하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 2】

제1 항에 있어서, 상기 데이터 보정기는

상기 다수개의 메모리 뱅크들 각자로부터 인출되는 상기 인출 데이터들을 수신하여, 각각의 상기 인출 데이터에 상응하는 뱅크 제어 데이터들로 제공하되, 상기 비유효하게 독출 액세스되는 상기 메모리 뱅크로부터 인출되는 상기 인출 데이터에 대한 상기 뱅크 제어 데이터는 소정의 제1 논리값을 가지는 뱅크 데이터 조절부;

상기 패러티 뱅크로부터 인출되는 상기 패러티 데이터를 수신하여, 상기 패러티 데이터에 상응하는 패러티 제어 데이터로 제공하는 패러티 데이터 조절부;

상기 뱅크 제어 데이터들과 상기 패러티 제어 데이터를 수신하며, 상기 입력 패러티와 상이한 상기 인출 패러티에 대하여 상기 제1 논리값과 상반되는 제2 논리값을 가지는 판별 데이터를 제공하는 판별부; 및

각각의 상기 뱅크 제어 데이터를 각각의 상기 출력 데이터로 제공하되, 상기 비유효하게 독출 액세스되는 메모리 뱅크에 대해서는 상기 판별 데이터를 상기 출력 데이터로 제공하는 선택부

를 구비하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 3】

제2 항에 있어서,

상기 뱅크 데이터 조절부는 상기 각각의 뱅크 정보 신호의 반전신호와 상기 각각의 인출 데이터를 논리곱하여 뱅크 제어 데이터로서 제공하는 다수개의 제1 논리 수단을 구비하며,

상기 패러티 데이터 조절부는 패러티 정보 신호의 반전신호와 상기 패러티 데이터를 논리곱하여 패러티 제어 데이터로서 제공하는 제2 수단으로서, 상기 패러티 정보 신호는 상기 패러티 뱅크로부터의 비유효한 독출 액세스 여부를 나타내는 상기 제2 수단을 구비하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 4】

제2 항에 있어서, 상기 선택부는 각각의 뱅크 정보 신호에 응답하여, 상기 판별 데이터와 상기 뱅크 제어 데이터 중의 어느 하나를 각각의 상기 출력 데이터로 제공하는 다수개의 믹스들을 구비하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 5】

제1 항에 있어서, 상기 메모리 뱅크들 각각은
상기 비유효하게 독출 액세스되는 메모리 뱅크를 나타내는 뱅크 정보 신호를 제공하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 6】

제1 항 내지 제5 항 중의 어느 하나의 항에 있어서, 상기 패러티 뱅크는
상기 다수개의 메모리 뱅크들 각각과 동일한 구조를 가지는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 7】

제1 항 내지 제5 항 중의 어느 하나의 항에 있어서, 상기 메모리 뱅크들은
각자에 대응되는 상기 입력 데이터를 독립적으로 기록하는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 8】

제1 항 내지 제5 항 중의 어느 하나의 항에 있어서, 상기 메모리 뱅크들은
각각 독립적으로 상기 독출 액세스가 수행되는 것을 특징으로 하는 에스램 호환 메모리.

【청구항 9】

제1 항 내지 제5 항 중의 어느 하나의 항에 있어서, 상기 리프레쉬는
상기 메모리 뱅크들 각각에 대하여 독립적으로 리프레쉬가 수행되며, 2이상의 상기 메모리 뱅크에 대한 동시 수행이 배제되는 것을 특징으로 하는 에스램 호환 메모리.

**【청구항 10】**

행과 열로 정의되는 매트릭스 상에 배열되는 복수개의 디램 셀들을 각각 포함하는 다수개의 메모리 뱅크들을 가지는 에스램 호환 메모리의 구동 방법으로서, 상기 디램 셀들 각각은 저장된 데이터를 유효하게 보존하기 위하여 소정의 리프레쉬 주기 이내에 리프레쉬의 수행이 요구되되, 외부적으로 상기 리프레쉬의 수행을 위한 별도의 동작 타이밍 구간이 설정되지 않는 외부 시스템과 인터페이싱될 수 있는 상기 에스램 호환 메모리의 구동 방법에 있어서,

(A) 수신되는 복수개의 입력 데이터들을 각각에 대응하는 상기 메모리 뱅크에 제공하고, 상기 입력 데이터들과 함께 소정의 설정 패러티값을 나타내는 입력 패러티를 구하는 단계;

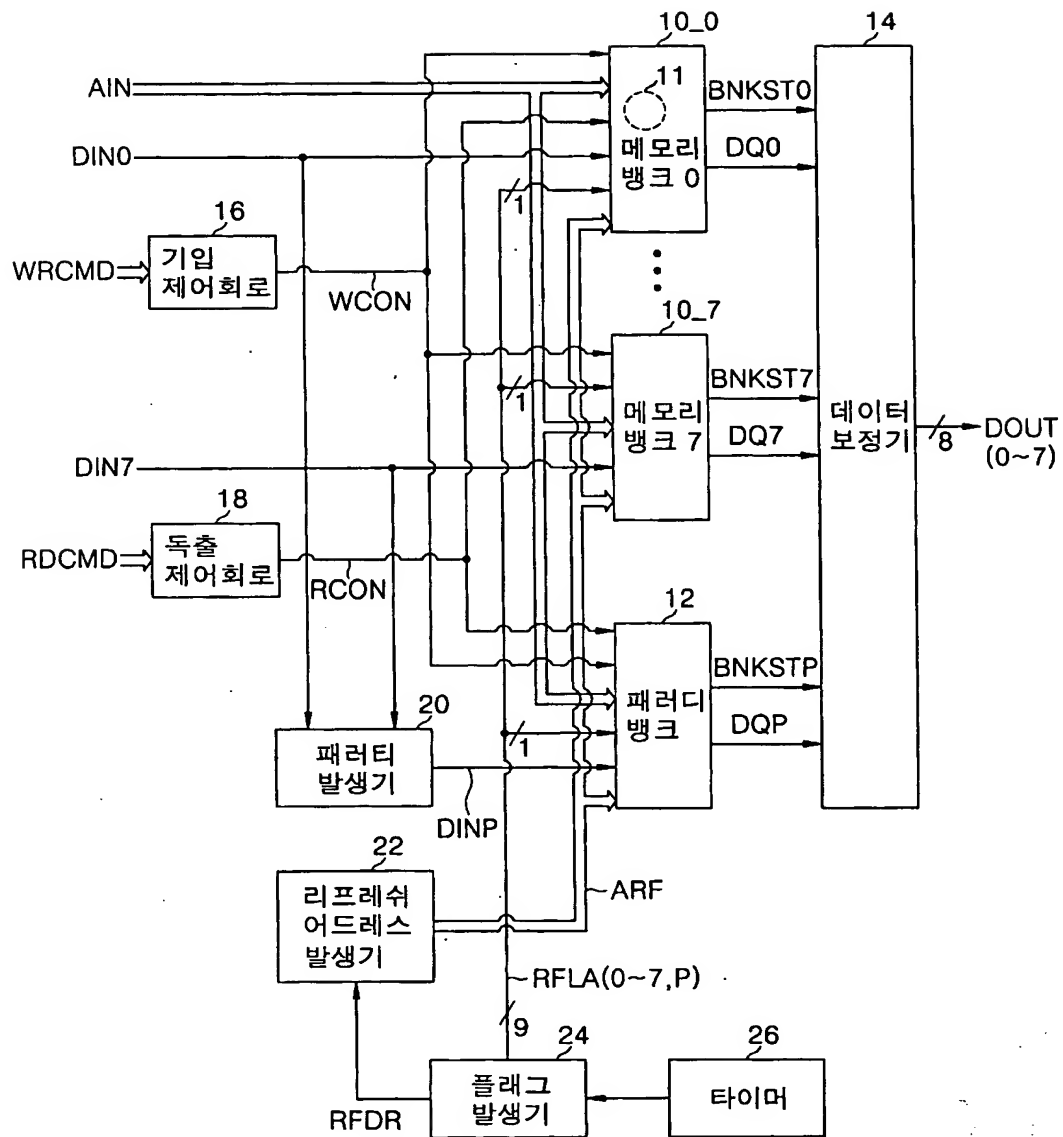
(B) 상기 입력 데이터를 각각에 대응하는 상기 메모리 뱅크의 디램 셀에 기록하고, 상기 입력 패러티를 소정의 패러티 뱅크의 디램셀에 기록하는 단계;

(C) 독출 명령에 응답하여, 상기 다수개의 메모리 뱅크들로부터 데이터를 인출되되, 비유효하게 독출 액세스되는 상기 메모리 뱅크로부터 인출되는 상기 데이터에 대해서는 비유효한 데이터임을 나타내는 정보를 함께 제공하는 단계; 및

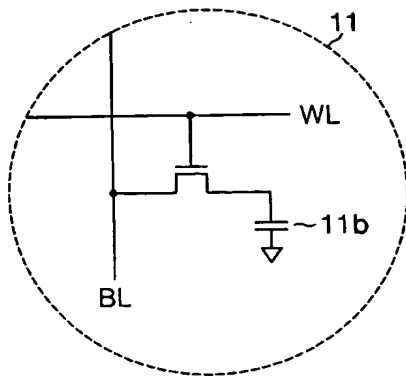
(D) 상기 설정 패러티값과 상이한 확인 패러티값에 대하여, 상기 비유효하게 독출 액세스되는 상기 메모리 뱅크로부터 인출되는 상기 데이터를 보정하는 단계로서, 상기 확인 패러티값은 상기 다수개의 메모리 뱅크들로부터 인출되는 상기 인출 데이터들과 상기 패러티 뱅크로부터 인출되는 패러티 데이터에 대한 패러티인 상기 보정하는 단계를 구비하는 것을 특징으로 하는 에스램 호환 메모리의 구동방법.

【도면】

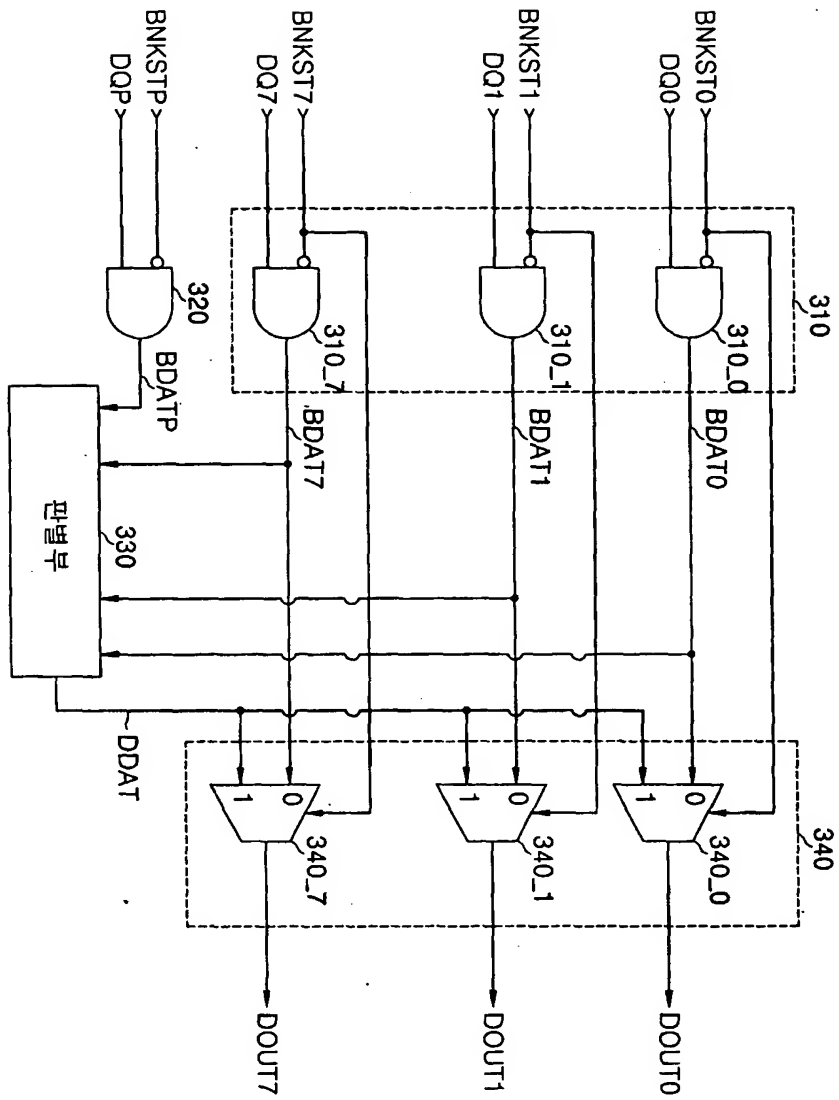
【도 1】



【도 2】



【도 3】



【도 4】

